

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 9 月 26 日 (26.09.2002)

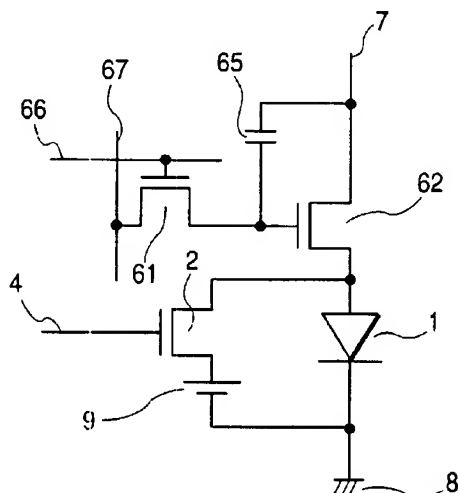
PCT

(10) 国際公開番号
WO 02/075710 A1

- (51) 国際特許分類⁷: G09G 3/30 (KONDO,Shigeki) [JP/JP]; 〒254-0065 神奈川県 平塚市 南原 2 丁目 4-7 Kanagawa (JP). 中村 博之 (NAKAMURA,Hiroyuki) [JP/JP]; 〒243-0122 神奈川県 厚木市 森の里 2 丁目 1 1-8 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP02/02471
- (22) 国際出願日: 2002 年 3 月 15 日 (15.03.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-80506 2001 年 3 月 21 日 (21.03.2001) JP
特願2001-81880 2001 年 3 月 22 日 (22.03.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): キヤノン株式会社 (CANON KABUSHIKI KAISHA) [JP/JP]; 〒146-8501 東京都 大田区 下丸子 3 丁目 3 0 番 2 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 近藤 茂樹
- (74) 代理人: 岡部 正夫, 外 (OKABE,Masao et al.); 〒100-0005 東京都 千代田区 丸の内 3 丁目 2 番 3 号 富士ビル 6 0 2 号室 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: CIRCUIT FOR DRIVING ACTIVE-MATRIX LIGHT-EMITTING ELEMENT

(54) 発明の名称: アクティブマトリクス型発光素子の駆動回路



(57) Abstract: In the vicinity of the crossing (not connected) a scanning line (66) and a signal line (67), a light-emitting element (1) and a video signal current feeding circuit (62) are provided. A charging circuit (2) for storing charge of an emission threshold value or less in advance in the capacitor of the light-emitting element (1). Thus, the driving circuit, therefore, has a function of shortening the time period until the light-emitting element (1) starts emission thereby to realize high-speed drive and gradation characteristics of the light-emitting element (1).



(57) 要約:

走査線（６６）と信号線（６７）が交差する近傍に発光素子（１）と映像信号電流供給回路（６２）を形成し、発光素子（１）の電気容量に発光閾値以下の電荷を予め充電する充電回路（２）を設けることで、発光素子（１）が発光開始するまでの時間を短縮する機能を持たせ、それにより発光素子（１）の高速駆動と階調特性を実現する。

明 細 書

アクティブマトリクス型発光素子の駆動回路

5 技術分野

本発明は、画像表示装置に用いられる発光素子の駆動回路、詳しくは有機及び無機のエレクトロ・ルミネセンス（以下「EL」という）素子や発光ダイオード（以下「LED」という）等の自発光素子を駆動制御するアクティブマトリクス型発光素子の駆動回路、及びこれを用いたアクティブマトリクス型表示
10 パネルに関する。

背景技術

有機及び無機EL素子やLED等のような発光素子をアレイ状に組み合わせ、ドットマトリクスにより文字表示を行うディスプレイは、テレビ、携帯端
15 末等に広く利用されている。

特に、自発光素子を用いたこれらのディスプレイは、液晶を用いたディスプレイと異なり、照明のためのバックライトを必要とせず、視野角が広い等の特徴を有し、注目を集めている。中でも、トランジスタ等とこれらの発光素子とを組み合わせ、スタティック駆動を行う、アクティブマトリクス型と呼ばれる
20 ディスプレイは、時分割駆動を行う単純マトリクス駆動のディスプレイと比較して、高輝度、高コントラスト、高精細等の優位性を持っており、近年注目されている。

有機EL素子に関しても、画像に階調性を出すための方式としては、従来の他の発光素子に関する場合と同様に、アナログ階調方式、面積階調方式及び時
25 間階調方式が採用できる。

(1) アナログ方式

従来例として、アクティブマトリクス駆動の発光素子に関して、最も単純な一画素あたり2個の薄膜トランジスタ（以下TFTと言う）を備えた表示素子の例を図7に示す。図7において、11は有機EL素子、12及び13はTFT、15は走査線、14は信号線、17は電源線、18は接地電位、19はメモリ容量である。

この駆動回路の動作を以下に説明する。走査線15によってTFT12がオン状態となると信号線14からの映像データ電圧が19のメモリ容量に蓄積され、走査線15がオフしてTFT12がオフ状態になっても、TFT13のゲート電極には前記電圧が印加され続ける為、TFT13はオン状態を続ける。

10 一方TFT13はソース電極が電源線17と接続され、ドレイン電極が発光素子11の第1の電極に接続されており、ゲート電極にはTFT12のドレイン電極が接続され映像データ電圧が入力される。TFT13のソース電極とドレイン電極間の電流量は前記映像データ電圧によって制御されている。このとき有機EL素子11は電源線17と接地電位18間に配置され、前記電流量に応じて発光する。

このとき流れる電流量はTFT13のゲート電圧に依存し、前記ゲート電圧に対するソース電流の特性（ $V_g - I_s$ 特性）が立ち上がる領域（便宜上ここでは「飽和領域」と呼ぶ）を用いて、アナログ的に電流特性を変化させて発光輝度を変化させている。

20 この結果、発光素子である有機EL素子11の発光輝度は制御され、階調を含めて表示を行うことができる。この階調表現方式を、アナログ的な映像データ電圧を用いて行なうことから、アナログ階調方式という。

現在用いられているTFTには、アモルファスシリコン（a-Si）方式と多結晶（ポリ）シリコン（p-Si）方式があるが、高移動度でかつ素子の微細化が可能であり、またレーザー加工技術の進歩により製造プロセスの低温化が可能となったことから、多結晶シリコンTFTの比重が大きくなっている。

しかしながら、一般的に多結晶シリコンTFTは、それを構成する結晶粒界の影響を受けやすく、特に上記飽和領域では $V_g - I_s$ 電流特性がTFT素子毎にばらつき易い。すなわち、仮に各画素に入力されるビデオ信号電圧が均一であっても、表示にむらが生じてしまうという問題を抱えている。

- 5 また、一般に現在のTFTの多くは単にスイッチング素子として用いられていることから、トランジスタの閾値電圧よりかなり高いゲート電圧が印加され、ソース電圧に対するドレイン電流の関係が一定の比例関係となる領域（これを「線形領域」と呼ぶ）で使用されているので、上記の飽和領域でのばらつきの影響を受けにくくなっているのに対し、飽和領域で用いる本方法はよりばらつきの影響を受けやすい。

- さらに、この場合、有機EL素子の輝度－電圧特性に応じて映像データ信号を変化させる必要がある。有機EL素子の電圧－電流特性は非線形のダイオード特性を示すため、電圧－輝度特性もダイオード特性のように急峻な立ち上がり特性を示す。したがって、映像データ信号にガンマ補正を施す必要があり、
- 15 駆動制御システムが複雑になる。

（２）面積階調方式

- 一方、面積階調方式が、文献AM-LCD2000、AM3-1に提案されている。これは、一画素を複数のサブ画素に分割し、各サブ画素はオン／オフを行い、オンしている画素の面積によって階調を表現するものである。図8に
- 20 1画素を6つのサブ画素に分割した場合の平面構成図を示す。

- この方式では、各画素はオンオフ制御されるのみで濃淡は出さないため、TFTは単にスイッチング素子として機能すればよく、ゲート電圧としては閾値電圧よりはるかに高い電圧を印加し、ソース電圧に対するドレイン電流の関係が一定の比例関係となる上記線形領域で用いることができる。したがって、各
- 25 TFTは特性が安定した条件で用いられるので、各発光素子の発光輝度も安定する。すなわち、この方式の場合、各発光素子は一定輝度で発光し、発光する

サブ画素の面積に応じて階調が制御されることになる。

しかし、この方式では、サブ画素の分割方法に依存したデジタル階調しか出せず、また階調数を増やすためには、分割数を増やしてサブ画素の面積をより小さくしなくてはならない。ところが、仮に多結晶シリコンTFTを用いてトランジスタを微細化したとしても、各画素に配置されたトランジスタ部分の面積が発光部の面積を侵食して画素開口率を下げるため、表示パネルの発光輝度が低下するという問題を生ずる。すなわち、開口率を上げようとするとは階調性が落ちることになり、明るさと階調性がトレードオフの関係にあって、結果的に階調性を上げることが困難である。

10 (3) 時間階調方式

また、時間階調方式は、階調を有機EL素子の発光時間によって制御する方式であり、2000SID36.4Lで報告されている。

図9は、時間階調方式を採用した従来の表示パネルの一画素部分の回路図の一例である。図9において、11は有機EL素子、10、12、13はTFT、15 15は走査線、14は信号線、17は電源線、18は接地電位、19はメモリ容量、16はリセット線である。

この回路構成を用いた時間階調方式においては、TFT13がオンしたとき電源線17からの電圧によって有機EL素子11は最高輝度で発光し、次にTFT10によってTFT13は1フィールドの時間内で適時オンとオフを繰り返す。その発光時間によって階調表示が行われる。

またこの方式では、1フィールドを複数のサブフィールド期間に分け、発光期間を選択して発光時間を調整する。たとえば、8ビット(256階調)を表示しようとした場合、発光時間の比が1:2:4:8:16:32:64:128の8つのサブフィールド期間の中から選択することになる。そして、各サブフィールド期間の直前に、そのサブフィールドでの発光/非発光を選択するため、その度に全画素の走査線のアドレッシング期間が必要になる。このアドレ

ッシング期間が終了した後に、電源線 17 の電圧を一斉に変化させるなどして、表示パネルを全面発光させる。

よってアドレッシング期間内は基本的には非表示であるため、1 フィールド内での有効発光期間は、N ビット階調表示を行おうとした場合、

5 (1 フィールド期間) - (1 画面アドレッシング期間 × N)

となる。そこで相対的に発光時間が短くなり、観察者にとっては表示パネルの発光量が低下することになる。

そのため、1 サブフィールド当りの発光量を上げてフィールド全体での発光量を補う必要が生じるが、これには個々の発光素子の発光輝度を上げることが
10 必要であり、発光素子の寿命低下につながる。また、通常の液晶ディスプレイ (LCD) では、1 フィールドあたり 1 回のアドレッシングで済むところを、階調ビット回数分だけアドレッシングする必要があるため、より高速のアドレッシング回路が必要になる。

本発明は、以上のような発光素子の駆動上の課題を解決して、アクティブマトリクス型発光素子の安定な階調表示を行うための、新規な駆動回路を提供しようとするものである。
15

上記のように、発光素子を TFT を用いて駆動するためには、幾つもの課題がある。特に、TFT を短時間でオンオフさせる動作を行なおうとすれば、TFT のより過渡応答的な駆動特性領域を利用することになり、TFT 特性のばらつきが大きく影響する。
20

その一つの解決方法は、TFT の動作時間を少しでも長くすることであり、別の解決方法は、オンオフ時に流す電流量を少なくすることである。

そこで先ず発光素子の電氣的状況を簡単に説明する。

有機 EL 素子の素子構成は、陽極と陰極の間に発光層や電子輸送層、ホール輸送層などの有機層を積層した構成である。これら異なるエネルギーバンド構造を持つ材料の接合により、材料の接合界面には必ず接合容量が生じる。それ
25

らの膜厚は100nm程度であり、電極間の電気容量は合成容量として約25
nF/cm²であることから、100μm×100μmの画素は約2.5pF
の容量を持つことになる。この値は液晶素子などと比べても非常に大きい。

これがマトリクス配置されたときには、上記発光素子が並列に画素分だけ配
5 置されるために、外部駆動回路にとっては大きな負荷になる。また外部駆動回
路から出力された信号は、上記の素子容量と配線抵抗に応じた波形のなまりを
生じ、発光素子などに実効的な電圧がかかる期間を短くする要因となっている。

本発明者らは、発光素子の電気容量の充電時間が、発光素子の実質的な応答
速度に影響することを見出し、これを軽減しようとした。

10 今仮に電流源からの電流により発光素子を駆動する場合を考えると、電流は
先ず上記電気容量を充電した後に電極間の電位差を定めることになり、これが
所定の閾値電圧に達した後に電子の注入が始まって発光が起こる。上記電気容
量の充電時間を見積もると以下ようになる。

有機EL素子の最大発光効率を得るための駆動電流値は、100μm×10
15 0μmの画素サイズに対して、およそ2～3μAである。

アナログ階調方式で8ビット階調を得ようとする、そのときの最小電流は、
2～3μA÷2⁸≒8～12nAとなる。

最小の発光輝度を得るために電流源から上記8～12nAの電流を流す場
合、上記電気容量を充電するために要する時間を見積もる。

20 一般的に有機EL素子の発光閾値電圧は2～3Vであり、

$$\text{電気容量 } C \times \text{閾値電圧 } V_{th} = \text{最小電流 } I_{min} \times \text{時間 } t$$

の関係より、

$$\text{時間 } t = 2.5 \text{ pF} \times 2 \sim 3 \text{ V} / 8 \sim 12 \text{ nA}$$

$$\approx 420 \mu\text{s} \sim 940 \mu\text{s}$$

25 となる。

一般的な走査線400本程度のVGAクラスの表示装置についてみると、走

査線 1 本当たりの選択時間は約 $30 \mu s$ であるので、上記時間では V G A クラスの画像表示装置においても再暗状態の発光ができず、表示装置としては不満足なものである。

一方、時間階調方式は、各発行素子の最高輝度での発光時間を 1 フレーム内でオン／オフさせて階調を得る方式であるが、いま、最小輝度を与える発光時間階調の場合を考える。8 ビット階調を得ようとする、最小オン時間は、1 フィールドを $60 Hz$ とし計算すると、

$$1 / 60 \div 2^8 \approx 65 \mu s$$

となる。画素サイズを上記と同様とすると、電流源からは最大電流を与えたとして、発光までに要する時間 t は、

$$\begin{aligned} t &= 2.5 pF \times 2 \sim 3 V \div 2 \sim 3 \mu A \\ &\approx 1.7 \sim 3.75 \mu s \end{aligned}$$

となり、発光時間に対して重大な影響はないことになる。

しかしながら、前述のように長寿命化や低消費電力化のために発光効率向上の研究開発がなされており、将来の目標値は $100 \sim 200 nA$ で最大効率を得ることにある。

この場合、発光までに要する時間 t は、

$$t = 25 \sim 75 \mu s$$

となり、時間階調方式でも最小輝度の発光を得ることができなくなることが予想される。

発明の開示

本発明は、上記課題に鑑みて創案されたものであり、その目的は、有機 EL 素子の高速駆動と階調特性を実現し、高品位なアクティブマトリクス型発光素子の駆動回路、及びこれを用いたアクティブマトリクス型表示パネルを提供することにある。

そのため、上記電気容量を予め充電しておく予備充電回路を各発光素子に配置し、走査選択時間の前に電気容量を充電し、次の選択時間に於いて発光閾値電圧以上の電荷を充電する駆動方法を採用した。

上記の目的を達成すべく、本発明に係るアクティブマトリクス型発光素子の
5 駆動回路は、基板上に走査線と信号線とがマトリクス状に形成され、該走査線と該信号線との交差点近傍に少なくとも1つの発光素子と前記発光素子を発光させるための映像信号電流供給回路を有するアクティブマトリクス型発光素子の駆動回路であって、

前記発光素子に発光閾値電圧以下の電圧及び／又は最小発光輝度電流以下
10 の電流を印加することができる充電回路を有することを特徴とするアクティブマトリクス型発光素子の駆動回路であって、発光閾値電圧以下の電圧と最小発光輝度電流以下の電流をいずれか一方または両方同時に印加することが可能である駆動回路である。

また、前記発光閾値電圧以下の電圧が、電源電圧に対する抵抗素子またはス
15 イッチング素子と発光素子の直流抵抗分割による分圧によって生成されることを特徴とした駆動回路である。

さらに本発明は、前記最小発光輝度電流以下の電流が、電源電圧に対する抵抗素子またはスイッチング素子の電氣的な制限抵抗によって生成されることを特徴とした駆動回路である。

20 また前記充電回路による充電が、発光素子の非発光期間に行なわれることを特徴とした駆動回路である。

さらに前記充電回路が、スイッチング素子と基準電圧源から構成されたことを特徴としている。

あるいは前記映像信号電流供給回路は、薄膜トランジスタにより構成された
25 ソースフォロア回路を含むことを特徴とした駆動回路や、カレントミラー回路を含むことを特徴としている。

図面の簡単な説明

図 1 A 及び図 1 B は、本発明の実施例 1 におけるアクティブマトリクス型発
光素子の駆動回路を示す構成図である。図 1 A 及び図 1 B において、1 は有機
5 EL 素子（発光素子）、2 は抵抗素子（T F T）、6 は映像信号電流供給回路、
7 は電源線、8 は接地電位である。

図 2 は、本発明の第 2 の実施例を示す回路構成の説明図である。

図 3 は、本発明の実施例 3 におけるアクティブマトリクス型発光素子の駆動
回路を示す構成図である。図 3 において、1 は有機 EL 素子、2 は T F T、4
10 は信号線、6 は映像信号電流供給回路、7 は電源線、8 は接地電位、9 は基準
電源である。

図 4 は、本発明の実施例 4 におけるアクティブマトリクス型発光素子の駆動
回路を示す構成図である。

図 5 は、本発明の実施例 5 におけるアクティブマトリクス型発光素子の駆動
15 回路を示す構成図である。

図 6 は、本発明の実施例 6 におけるアクティブマトリクス型表示パネルの構
成図である。図 6 において、1 は有機 EL 素子、2 は T F T、3 は走査線、4
は T F T 2 を駆動するための信号線、5 は映像信号線、6 は各画素のアドレッ
シングと発光素子を駆動するための映像信号電流供給回路、8 は発光素子の電
20 源、9 は基準電源である。

図 7 は、従来のアナログ階調方式の駆動回路を示す構成図である。

図 8 は、従来の面積階調方式の駆動回路を示す構成図である。

図 9 は、従来の時間階調方式の駆動回路を示す構成図である。

25 発明の実施の形態

以下、本発明の実施の形態を具体的な実施例により説明するが、本発明はこ

これらの実施例に限るものではない。

実施例 1

図 1 A と図 1 B は、本発明に係るアクティブマトリクス型発光素子の駆動回路における第 1 の実施例を示す構成図であり、図 1 A は電源線 7 と発光素子 1
5 の間に抵抗素子 2 を接続しており、図 1 B はその抵抗素子を薄膜トランジスタ (TFT) で構成している。

本実施例の駆動回路は、基板上に走査線と信号線がマトリクス状（これは図 1 A 及び図 1 B には示していない）に形成され、これら走査線と信号線が交差する各点の近傍に、抵抗素子 2 と映像信号電流供給回路 6 とその映像信号電流
10 により発光する発光素子 1 とを有する単位画素が形成された駆動回路である。

発光素子 1 としては、少なくとも発光層を含む複数の材料から構成された有機 EL 素子が採用されており、この有機 EL 素子の各構成材料によって形成された電気容量に、発光閾値以下の電荷を予め充電する（プリチャージ）機能が設けられている。

15 この電気容量とは、有機 EL 素子を構成する発光層や電子輸送層等の異種材料間の界面に存在する接合容量などが合成された容量のことである。

図 1 A において、抵抗素子 2 の一方の電極は、電源線 7 に接続されているが、原理的には図 1 A の構成に限定されることなく、別の電源に接続されていても良い。

20 電源線 7 と接地電位 8 の間に抵抗素子 2 と映像信号電流を供給するための電流供給回路 6 が並列接続され、かつ発光素子がそれらと直列に配置されている。

当該発光素子が選択されている期間には、電源線にはハイレベルの電圧が供給されて発光素子が発光するが、非選択期間には電源線にはローレベルの電圧
25 が印加される。このとき抵抗素子 2 と発光素子 1 にはこれらの直流抵抗分割による電圧が発生し、発光素子が充電されることになる。この電圧は発光素子の

発光閾値電圧以下の値であることが必要である。実際には発光素子のコンダクタンスは発光閾値電圧以下ではかなり小さいので、上記抵抗素子の抵抗値はかなり高い値になるが、抵抗値を決めることは容易である。

また発光閾値電圧を超える電圧を印加しておいて、電流を制限して発光を抑制することも可能である。例えば256階調を表示する時に、最小発光輝度の数分の一しか流せない制限抵抗を配置し、微弱な電流を流しておく。この方法によっても発光素子は充電されるが、観察者は発光していることを認識できないので、上記方法に比べてプリチャージの効果がより発揮されることになる。

その後、発光素子の電圧が変動することがあっても、常に抵抗を介して電流が供給され続けるので、電気容量は常に閾値電圧以下の電圧で充電され続ける。

本実施例で用いた抵抗素子の抵抗値は約 $9 \times 10^8 \Omega$ に設定したが、上記抵抗分割によって発光素子の発光閾値電圧以下の値をとれる条件であれば、作製プロセスなどのマージンを見て抵抗値を決めればよい。

また本実施例では、電源線7を共通に利用して抵抗素子を配置しているので、プリチャージ用の電源線を別に持つ必要はない。

以上のように設定した駆動回路において、有機EL素子の発光閾値を V_{th} とし、発光素子の電気容量を C 、発光電流を I 、プリ設定電圧値を V_r とすると、駆動回路から見た充電量は閾値電圧とプリチャージ電圧の差を充電すればよく、よって発光までに要する時間 t は以下のように示される。

$$t = (V_{th} - V_r) \times C / I$$

ここで、発光電流が 100 nA の場合を想定すると、本実施例では、

$$V_{th} - V_r = 2 - 0.5 = 1.5 \text{ V}$$

となるように抵抗値が設定されている。通常の有機EL素子の電気容量 C は、 $100 \mu\text{m}$ 角の素子サイズを想定すると、約 2.5 pF 程度となる。したがって、

発光までに要する時間 t は、

$$t = 1.5 \text{ V} \times 2.5 \text{ pF} / 100 \text{ nA} = 37.5 \mu\text{s}$$

となり、充電時間を短縮することができる。

- 図 1 B は、スイッチング素子を利用した例を示すものである。T F T のチャネル長 L とチャネル幅 W を変えて、上記抵抗値に合わせることで、抵抗素子と同様に機能することが可能となる。予め、ある W/L サイズの T F T の電流-
5 電圧特性を測定し、その特性をもとに T F T のサイズを決めればよい。

実施例 2

- 図 2 は、本発明の構成要素である画素回路の第 2 の実施例を表す図面である。高速化のために有機 E L 素子 1 にバイアス電流を流しておくための定電流回路 2 0 を付加している。定電流回路 2 0 の第 1 電極は、有機 E L 素子 1 のカソード電極に接続され、第 2 電極は接地線 8 に接続されている。電源線 7 と接地
10 電位 8 の間に定電流回路 2 0 と有機 E L 素子 1 が直列に配置されており、定電流回路 2 0 は発光輝度を一定値以下、例えば最小発光輝度の数分の一の電流に制限する機能を有している。こうすることで、バイアス電流は有機 E L 素子 1 の最小発光輝度電流よりも少なく設定しておき、予め有機 E L 素子 1 の電気容
15 量を充電するのに利用することができる。発光素子を光らせるには、T F T 2 をオフして、T F T 3 をオンすることが必要である。

このように有機 E L 素子の電気容量を予め充電しておくことにより、本来の発光輝度を与える電圧と電流を短時間で供給することができる。

実施例 3

- 20 図 3 は、本発明に係るアクティブマトリクス型発光素子の駆動回路における第 3 の実施例を示す構成図である。

- 本実施例の駆動回路は、基板上に走査線（不図示）と信号線 4 がマトリクス状に形成され、これら走査線と信号線 4 が交差する各点の近傍に、映像信号電流供給回路 6 とその映像信号電流により発光する発光素子 1 とを有する単位
25 画素を形成する駆動回路である。

図示するように、有機 E L 素子 1 の一方の電極には、T F T 2 の電源線 7 か

ら見たときのソース電極が共通接続されている。この有機EL素子1の他方の電極は、電源としての接地電位8に接続されている。また、上記TFT2のドレイン電極は、基準電圧源9に接続されている。さらに、有機EL素子1に共通接続されたTFT2のソース電極は、単位画素ごとに設けられた当該有機EL素子1への映像信号電流を供給する電流供給回路6の出力に接続されている。

これは、基準電圧源9により、発光素子の接合容量をプリチャージしていることに他ならない。また基準電圧源9の電圧値は、上述の通り有機EL素子の発光閾値電圧以下であり、表示には寄与しない。

本実施例では、第1及び第2の実施例とは異なり、プリチャージ用の電流（電荷）を常時流し続ける必要がなく、結果として、トータルの消費電流を小さくできるメリットがある。すなわち、プリチャージは、実際の映像信号電流を有機EL素子に流す直前までの期間にすればよく、たとえばマトリクス型表示素子の場合、映像信号転送のために各走査線が選択される直前でもよいし、映像表示期間のブランキング期間に行っても良い。

上記実施例においては、基準電源電圧は $V_{ref} = 1.5V$ である（ $V_{th} = 2V$ とする）から、接合容量のプリチャージにかかる時間 t_p は、

$$t_p = 1.5 \times 2.5 \text{ pF} / I_d$$

である。

ここで、TFT2のコンダクタンスは、TFT2のサイズ、信号線4の電圧などを調整することで、 $10 \mu A$ 程度の電流を流すことが可能であるようにしておく。したがって、TFT2を通じたプリチャージに要する時間 t_p は、

$$t_p = 1.5 \times 2.5 \text{ pF} / 10 \mu A = 375 \text{ ns}$$

となり、極めて短時間であるために実際の表示期間には何ら影響を与えない。

25 実施例4

図4は、本発明に係るアクティブマトリクス型発光素子の駆動回路における

第 4 の実施例を示す構成図であり、図 3 における電流供給回路に T F T により構成したソースフォロア回路を用いたものである。同一の符号を付した構成要素は同一の機能を有する。

本実施例の駆動回路では、走査線 6 6 とデータ線 6 7 により選択される T F T 6 1、メモリ容量 6 5、ソースフォロア回路を構成する T F T 6 2 により構成されている。すなわち、電流供給回路が T F T 6 2 により構成されたソースフォロア回路を含んでいるものである。

この回路は、従来例である図 7 の駆動回路と基本的構成は同じである。従来例と異なるところは、ソースフォロア回路を構成する T F T 6 2 の出力が、有機 E L 素子 1 のみならず、基準電圧源 9 に接続された T F T 2 にも共通接続されていることである。

本実施例でも実施例 3 と同様に、基準電圧源 9 と T F T 2 によるプリチャージ回路を設けることにより、8 ビットという高階調を行う時間階調表示に対しても充分応答する駆動回路を実現することができる。

15 実施例 5

図 5 は、本発明に係るアクティブマトリクス型発光素子の駆動回路における第 5 の実施例を示す構成図であり、図 3 における電流供給回路に、T F T により構成したカレントミラー回路を用いたものである。同一の符号を付した構成要素は同一の機能を有する。

本実施例の駆動回路では、走査線 6 6 とデータ線 6 7 により選択される T F T 6 1、メモリ容量 6 5、カレントミラー回路を構成する T F T 6 4、一方の電極がメモリ容量 6 5 に接続され他方の電極が T F T 6 1 の一方の電極に接続された T F T 6 2、及び一方の電極がメモリ容量 6 5 に接続され他方の電極が T F T 6 2 の制御電極に接続された T F T 6 3 により構成されている。すなわち、電流供給回路が、T F T 6 4 により構成されたカレントミラー回路を含んでいる。この回路部分は、たとえば日本登録特許第 2 9 5 3 4 6 5 号に記載

された、アナログ階調方式による駆動用の駆動回路と同じである。

従来と異なるところは、カレントミラー回路を構成するTFT64の出力が、発光素子1のみならず、基準電圧源9に接続されたTFT2にも共通接続されていることである。

- 5 本実施例では、TFT2によるプリチャージ機能に関しては先に説明した回路と同様に、このプリチャージ回路を設けることにより、低輝度表示時の定電流駆動時においても充分高速に応答する駆動回路を実現することができる。

実施例6

- 図6は、本発明に係るアクティブマトリクス型表示パネルの一実施例の平面
10 配置を示す構成図である。図6では、簡略化するために2×2のマトリクス回路を示したが、行列数に制限がないことは明らかである。本発明の表示パネルは、マトリクス状に配置された複数の画素部を備え、これら複数の画素部に上記実施例1から実施例5のいずれかの駆動回路をそれぞれ含むとともに、有機EL素子1がそれぞれ配置されているものであり、図6は実施例3の駆動回路
15 をマトリクス状に配置したものである。

- 走査線3が選択されると、映像信号線5から映像信号が転送され、その信号に基づいて映像信号電流供給回路6から信号電流が有機EL素子1に供給される。走査線選択前に同じ画素に相当する信号線4を選択してTFT2をオンにし、有機EL素子1にプリチャージを行なう。次の走査線3を選択するとき
20 にも、同様の動作を繰り返す。このようにして、マトリクス表示パネルを動作させる。

- また本実施例では、プリチャージを画素選択の直前に行ったが、選択の直前である必要はなく、例えば前の行を選択している期間に次の行のプリチャージを行ってもよい。また、画素選択の直前に行う場合、映像信号期間のブランキング期間内にプリチャージを行ってもよい。ただし、表示パネルの消費電力を
25 より下げるために、本実施例のようにプリチャージの期間を限定した方が効果

的である。

映像信号電流供給回路 6 は、たとえば実施例 4 または実施例 5 において説明した回路を用いることができる。上記実施例 3 に示した回路に代表される時間階調方式の駆動回路を用いる場合、プリチャージ期間を新たに設けることによって、表示期間がさらに減少することが懸念されるが、前述したように、プリチャージに要する時間はサブマイクロ秒であり、実際上の問題はない。

また本実施例では、実施例 3 の駆動回路に基づいてマトリクス表示パネルを構成したが、実施例 1 の駆動回路に基づいて構成したような場合には、たとえば抵抗素子 2 を用いる関係で、表示パネル全体に常にプリチャージ用の電流が流れてしまう。しかしプリチャージ電流は微小電流であるために、この場合も表示パネル全体の消費電流には大きな影響を及ぼさない。この場合は、TFT を作らずに抵抗素子を形成するだけでよい。この場合、表示パネルの作成が簡単になる。

以上説明したように、本発明によれば、発光素子の発光閾値電圧以下の電圧を発光に先立って印加することにより、発光までに要する時間を短縮することが可能となり、選択時間内に有効に発光させることが可能となる。これによって表示パネルの階調性、動画質表示性などの表示品質に優れた表示パネルを実現することが可能となる。

請求の範囲

1. 基板上に走査線と信号線とがマトリクス状に形成され、該走査線と該信号線との交差点近傍に少なくとも1つの発光素子と前記発光素子を発光させるための映像信号電流供給回路を有するアクティブマトリクス型発光素子の駆動回路であって、

前記発光素子に発光閾値電圧以下の電圧及び／又は最小発光輝度電流以下の電流を印加することができる充電回路を有することを特徴とするアクティブマトリクス型発光素子の駆動回路。

10

2. 前記発光閾値電圧以下の電圧が、電源電圧に対する抵抗素子またはスイッチング素子と発光素子の分圧によって生成されることを特徴とする請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

15 3. 前記最小発光輝度電流以下の電流が、電源電圧に対する抵抗素子またはスイッチング素子の制限抵抗によって生成されることを特徴とする請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

20 4. 前記スイッチング素子が薄膜トランジスタであることを特徴とする請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

5. 前記充電回路による充電が、発光素子の非発光期間に行なわれることを特徴とする請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

25 6. 前記充電回路による充電が、発光素子の発光期間と非発光期間のいずれでも行なわれることを特徴とする請求項1に記載のアクティブマトリクス

型発光素子の駆動回路。

7. 前記充電回路が、スイッチング素子と基準電圧源から構成されたことを特徴とする請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

5

8. 前記映像信号電流供給回路は、薄膜トランジスタにより構成されたソースフォロア回路を含むことを特徴とする、請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

10 9. 前記映像信号電流供給回路は、薄膜トランジスタにより構成されたカレントミラー回路を含むことを特徴とする、請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

15 10. マトリクス状に配置された複数の画素部を備え、該複数の画素部に請求項1に記載の駆動回路をそれぞれ含むとともに、発光素子がそれぞれ配置されていることを特徴とするアクティブマトリクス型表示パネル。

20 11. 請求項1に記載の前記充電回路による充電が、発光素子の非発光期間に行なわれることを特徴とするアクティブマトリクス型発光素子の駆動方法。

FIG. 1A

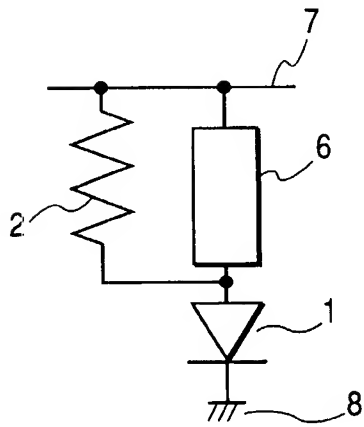


FIG. 1B

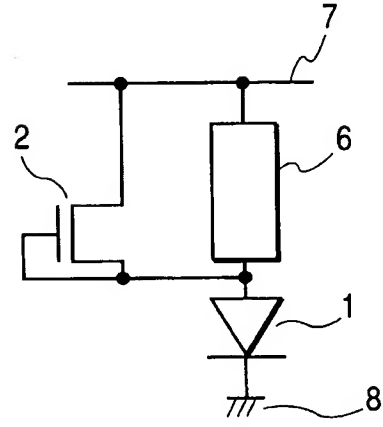
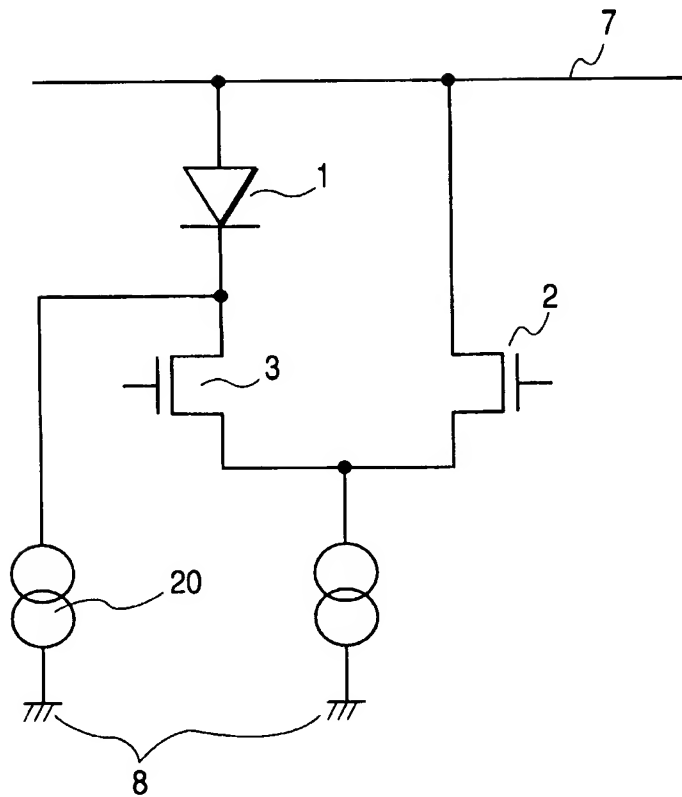
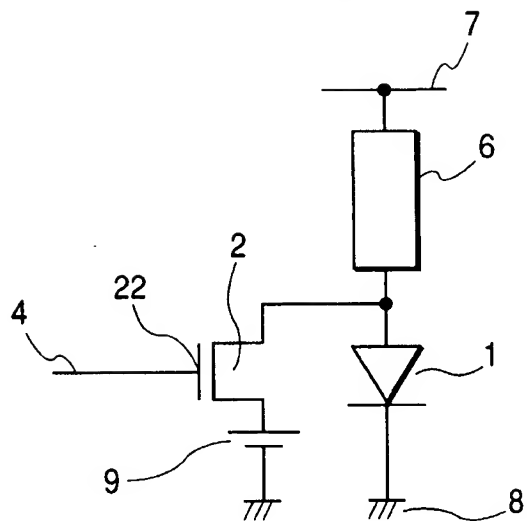
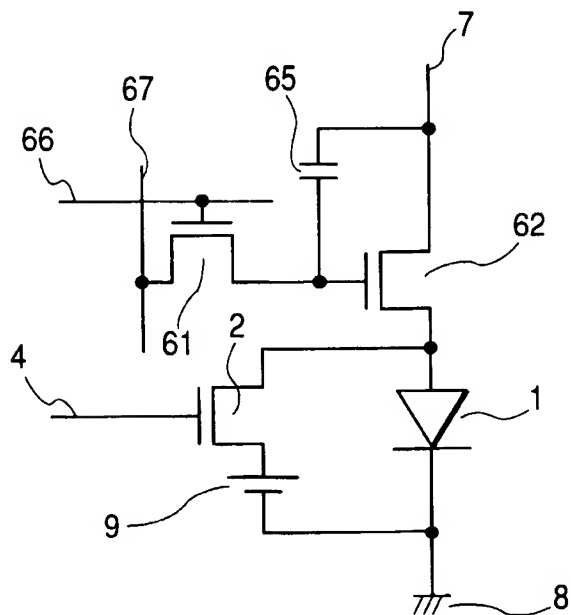


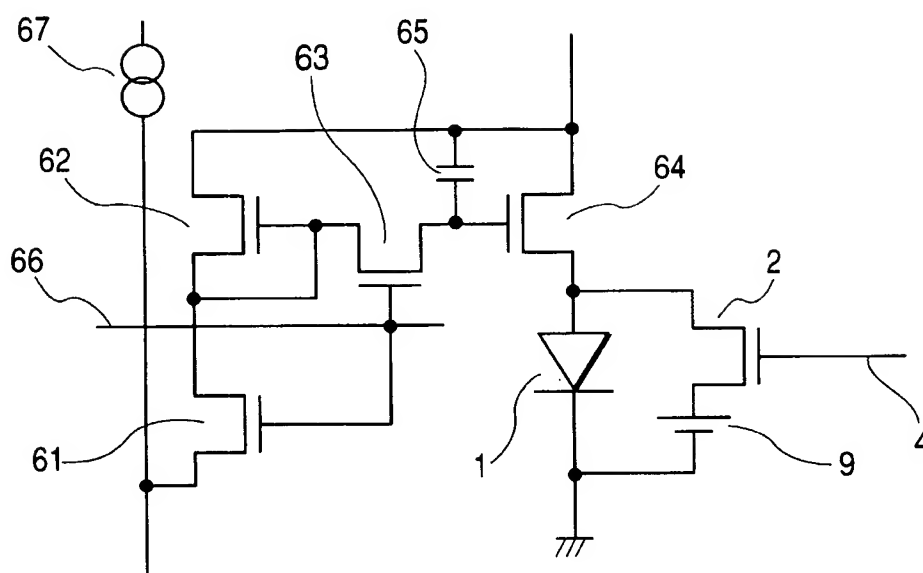
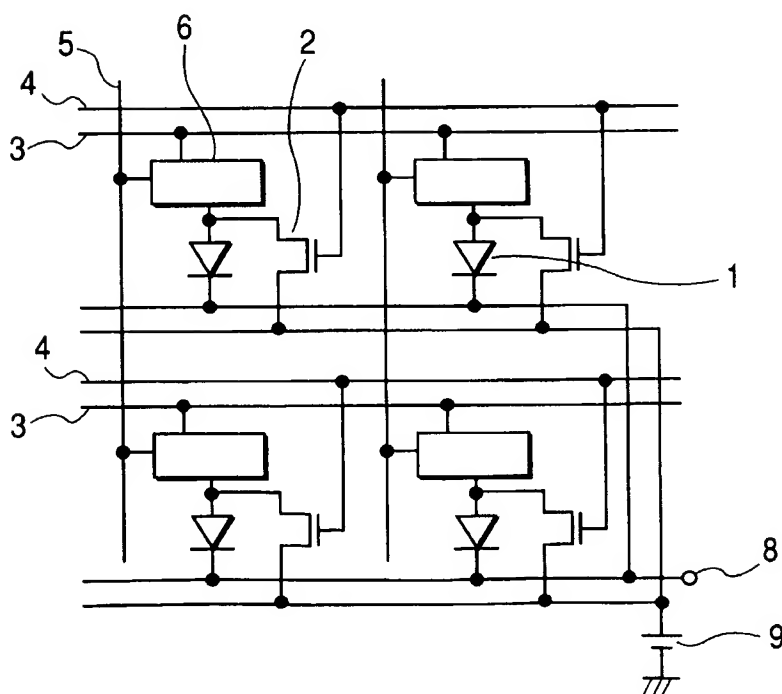
FIG. 2



2 / 5

FIG. 3**FIG. 4**

3 / 5

FIG. 5**FIG. 6**

4 / 5

FIG. 7

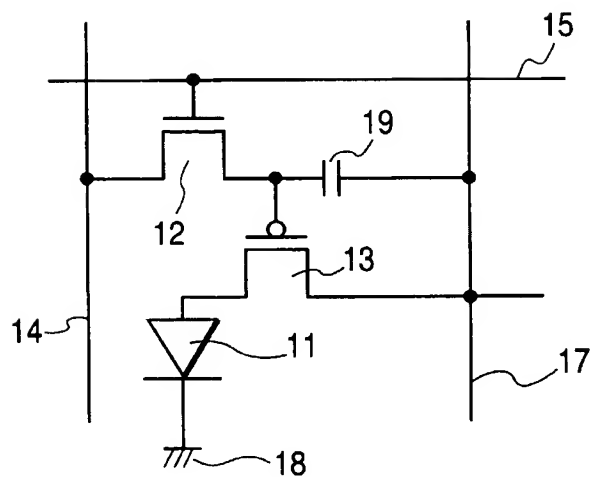


FIG. 8

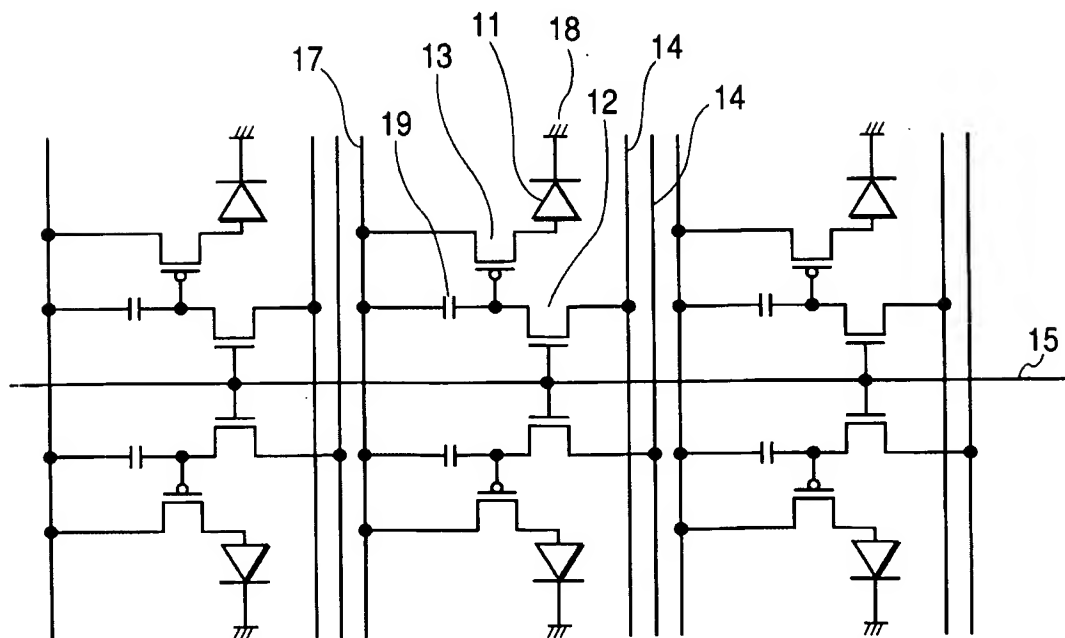
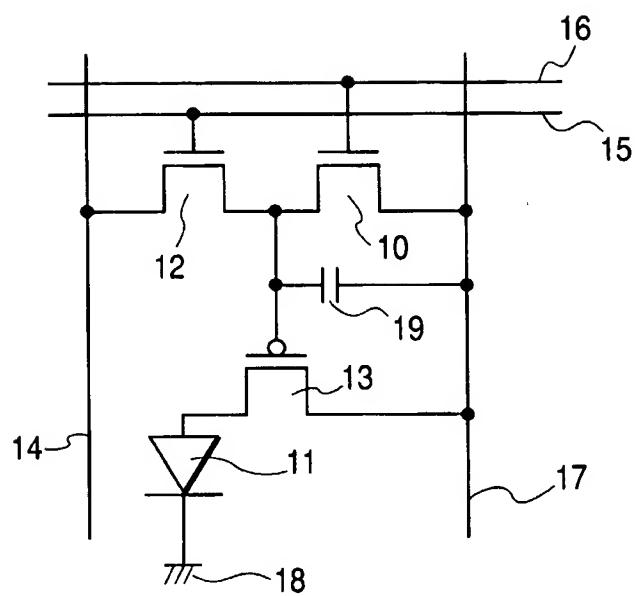


FIG. 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02471

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G3/00-3/38, H05B33/00-33/28, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 01/06484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Full text; all drawings & EP 1130565 A1	1-11
Y	EP 0704948 A1 (Canon K.K.), 03 April, 1996 (03.04.96), Full text; all drawings & JP 5-243654 A & US 5349595 A	1-2, 4, 6, 8-10
Y	JP 63-250873 A (Oki Electric Industry Co., Ltd.), 18 October, 1988 (18.10.88), Full text; all drawings (Family: none)	1, 3-5, 7-11
A	JP 63-77172 A (Fujitsu Ltd.), 07 April, 1988 (07.04.88), Full text; all drawings (Family: none)	1

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 April, 2002 (08.04.02)

Date of mailing of the international search report
23 April, 2002 (23.04.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02471

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4799224 A (GTE Telecomunicazioni S.p.A.), 17 January, 1989 (17.01.89), Full text; all drawings & GB 2183896 A	1

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl⁷ G09G 3/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ G09G 3/00-3/38
H05B 33/00-33/28
H01L 33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2002年
日本国実用新案登録公報 1996-2002年
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 01/06484 A1 (Sony Corporation) 2001. 01. 25, 全文, 全図 & EP 1130565 A1	1-11
Y	EP 0704948 A1 (CANON KABUSHIKI KAISHA) 1996. 04. 03, 全文, 全図 & JP 5-243654 A & US 5349595 A	1-2, 4, 6, 8-10
Y	JP 63-250873 A (沖電気工業株式会社) 1988. 10. 18, 全文, 全図 (ファミリーなし)	1, 3-5, 7-11

☒ C欄の続きにも文献が列举されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08. 04. 02

国際調査報告の発送日

23.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 63-77172 A (富士通株式会社) 1988. 04. 07, 全文, 全図 (ファミリーなし)	1
A	US 4799224 A (GTE Telecommunications S.p.A.) 1989. 01. 17, 全文, 全図 & GB 2183896 A	1